

明 細 書

受信装置及び受信方法

技術分野

- [0001] 本発明は、受信装置及び受信方法に関し、特にダウンリンク送信電力制御により送信信号の送信電力が異なるシステムに用いられる受信装置及び受信方法に関する。

背景技術

- [0002] 近年の携帯電話サービスでは、加入者(移動局)の増加とともに、音声通話に加え、データ通信に対する需要が拡大していることから、周波数チャネルといったリソースの効率的な利用、及び、通信速度の向上が重要である。例えば、主に、ヨーロッパ、及び、アジア地域にて普及しているGSM(Global Sytem for Moblile communications)システムにおいては、GPRS(General Packet Radio Service)と呼ばれる高速通信に対応するサービスが開始されている。GPRSでは、移動局と基地局間のリンクに関し、特定移動局に対して専用の周波数チャネルを割り当ててではなく、複数の移動局で同一周波数チャネルを共用し、移動局側、もしくは基地局側のどちらかに、相手方に送信するデータが存在する場合に、その都度、特定移動局に対するタイムスロットの割り当てを実施する。この方式により、周波数チャネルの利用効率が向上する。
- [0003] さらに、データフレーム(8タイムスロット)内の複数タイムスロットを同一移動局に割り当ててマルチスロット伝送方式を用いることで、基地局から移動局へのダウンリンク速度の向上を実現している。
- [0004] 例えば、図1は移動局に対するタイムスロットの割り当てを示す図である。ここでは、GSM規格書「Digital cellular telecommunications system(Phase 2+); Multiplexing and Multiple Access on the Radio Path (3GPP TS 05.02 ver 8.11.0 Release 1999)」に記載の29のマルチスロットのクラスから代表的なクラス12までを抜粋して記載する。
- [0005] 図1は、マルチスロットの各クラスに該当する移動局に対して、ダウンリンク(受信)、アップリンク(送信)に割り当て可能な最大タイムスロット数、ダウンリンク、アップリンクを合わせて割り当て可能な最大タイムスロット数を示す。例えば、クラス12の移動局

に対して、ダウンリンクとアップリンクとを合わせて最大5スロット、ダウンリンクで最大4スロット、及びアップリンクで最大4スロットを1フレーム内で割り当て可能である。

[0006] また、各移動局は各マルチスロットクラスに割り当てられるタイムスロットを共用しており、当該タイムスロット内のデータを全て復調した後、データのヘッダ情報にあるTFI(Temporary Flow Identifier)が自移動局を示すかどうかを判定し、他の移動局向けデータであれば、データを破棄する。このように、各移動局は、当該マルチスロットクラスに割り当てられるタイムスロットを受信している。なお、TFIでは、GSM規格書「Digital cellular telecommunications system(Phase 2+);General Packet Radio Service(GPRS);Mobile Station(MS) – Base Station System (BSS) interface;Radio Link Control/Medium Access Control (RLC/MAC) protocol (3GPP TS 04.60 ver 8.18.0 Release 1999)」によれば、5ビットで表現されるため、一つのタイムスロットを最大32台の移動局が共用することが可能である。

[0007] 次に、特定基地局のカバーするセル内の複数の移動局で、同一周波数チャネルを共用する場合、基地局と各移動局間の距離が異なることにより、基地局はセル内の最も遠い移動局にて所定の品質にて受信することができるとような送信電力にて各移動局に送信する必要がある。この場合には、不要な電力をセル内に放射することになり、近接基地局のカバーするセルとの干渉が問題となる。

[0008] そこで、GPRSにおける干渉対策について、図2を用いて説明する。図2はGSMのネットワーク構成図である。

[0009] 図2において、GSMのネットワークは、固定電話の電話回線網11、移動交換局(MSC:Mobile Services switching Center)12、基地局制御局(BSC:Base Station Controller)13、14、15、基地局(BTS:Base Transceiver Station)16、17、18、基地局17、18が各々カバーするセル19、20内に各々存在する移動局(MS:Mobile Station)21、22、23、24、25から構成される。

[0010] GSMシステムでは、少なくとも1つの移動交換局12を備え、移動交換局12は電話回線網11に接続される。移動交換局12の下位には、複数の基地局制御局13、14、15が設けられ、さらに基地局制御局13、14、15の下位には、少なくとも1つの基地局16、17、18が設けられ、基地局間にて通信が行われる。また、各基地局17、18

がカバーするセル19、20内の移動局21、22、23、24、25と基地局17、18間との間では、無線通信が行われる。図2では、例えば、セル19内の移動局22とセル20内の移動局24との間、あるいは、移動局23と電話回線網11との間で交信可能である。セル19内の移動局21、22、23と基地局17との間の距離が異なる場合に、全移動局に対して同一出力電力にて送信すると、最も遠方にある移動局を基準とした送信電力に設定されるため、本来は不要な電力を、同一周波数チャネルに対して送信することになり、近接するセルへの干渉が問題となる。そこで、GPRSでは、基地局17と移動局21、22、23との間の距離に応じて、対応移動局へのダウンリンク送信電力制御(以下、「電力制御」と記載する)を実施している。電力制御の具体例としては、制御チャネル上で送信されるダウンリンクのリソース割り当てメッセージ中のP0パラメータを用いて、報知チャネル(BCCH: Broadcast Control CHannel)からの送信電力の低減値(0〜30dB)を移動局に通知する方法がある。なお、BCCHは、当該セル内に存在する全移動局が参照すべき重要なチャネルであり、基地局との距離が最大となる移動局でもデータ再生が確実に行える十分な送信レベル(POWbcch: 一定値)にて送信されている。

- [0011] マルチスロット伝送に対応し、かつ、電力制御を行うシステムにおいて、特定の移動局に対するマルチスロット伝送時に、他の移動局向けのより優先度の高いデータ伝送が割り込んでくる場合や、他の移動局向けにアップリンクのデータ伝送用に認識メッセージ等の制御メッセージが割り込んでくる場合には、前記特定の移動局にて受信する受信電界強度(RSSI: Received Signal Strength Indicator)が大きく変動することになる。そこで、移動局が飽和しないため、あるいは、受信品質を所定値に保つためには、隣接タイムスロット間での高速な利得切替を行う必要がある。
- [0012] しかし、現在、移動局の受信部構成として主流のダイレクトコンバージョン受信装置では、RSSIの変化に追従した利得切替えに起因して直流オフセット電圧(以下「オフセット電圧」と記載する)が発生し、受信装置が飽和する可能性があるため、復調データの受信直前に利得切替えを実施したのち、高速にオフセット電圧を校正する必要がある(例えば、特許文献1。)
- [0013] 図3は、従来のオフセット電圧校正回路30のブロック図である。図3において、オフ

セット電圧校正回路30は、低雑音増幅器31、無線周波数をベースバンド帯に周波数変換する直交復調器32、直交復調器32に対して90度位相差を有する2信号を出力する90度移相器33、可変利得増幅器及び低域通過フィルタより構成されるアナログベースバンド回路34、アナログベースバンド回路34のオフセット電圧を校正する電圧校正回路35、アナログベースバンド回路34より受信した信号から音声信号、あるいはデータ信号への変換を実施するとともに、電圧校正回路35に対して、デコーダを介して校正開始信号を送信するデジタル信号処理部36から構成される。電圧校正回路35は、当該フレームの直前に、校正開始信号をトリガーとして一定期間校正動作を実施した後、当該フレーム内では休止状態に入る。また、校正期間には、信号線から容量を切り離して校正の応答速度を向上させている。

[0014] また、マルチスロット伝送時の受信装置の利得設定方法として、複数のタイムスロットにわたり平均化したRSSIをもとに設定する固定利得にて、マルチスロット伝送時の復調処理を行うものがある(例えば、特許文献2)。

[0015] 図4は、従来のマルチスロット伝送に対応した受信装置40のブロック図である。図4において、受信装置40は、RF入力部41、RF入力部41の利得を制御する自動利得制御回路42、サンプリング回路43、デジタル信号プロセッサ(以下「DSP」と記載する)44、制御部45から構成される。

[0016] サンプリング回路43は、RF入力部41で受信した複数タイムスロットのRSSIを周期的にサンプリングし、このサンプリングされたRSSIをDSP44に送信する。DSP44では、1フレームに含まれる各タイムスロットの平均RSSIを生成し、制御部45に送信する。制御部45では、受信された全てのタイムスロットの平均RSSIをさらに平均化して、利得値を得る。そして、制御部45は、取得した利得値を自動利得制御回路にAGC信号として送信し、受信動作を行う。

特許文献1:特開2001-211098号公報

特許文献2:特開2003-46424号公報

発明の開示

発明が解決しようとする課題

[0017] しかしながら、従来の装置は、フレーム単位でオフセット電圧の校正を実行するが、

基地局が電力制御を実行する場合については想定されていない。即ち、電力制御に伴って同一フレーム内のタイムスロット間でRSSIが異なる場合、各移動局は受信装置の線形動作範囲内の信号レベルとなるような利得切替えを実行するが、高速な利得切替えに起因して新たに発生するオフセット電圧が、オフセット電圧発生箇所よりも後段回路の増幅器により拡大され、受信装置の飽和及び感度劣化につながるという問題がある。

[0018] また、従来の装置は、電力制御を行う場合において、受信装置の飽和及び感度劣化を防いで精度良く復調するためには、各タイムスロットの最後尾に約30[us]設けられたガードタイムにて、移動局受信部の利得切り替えを実施する必要がある。しかし、復調を実施するタイムスロット直前に、所望値に利得を切替えた後、毎回、オフセット電圧の校正を実施すると、校正回路での電流消費量が増加するという問題がある。

[0019] また、従来の装置は、マルチスロット伝送時に、フェージング等の影響を受けにくく、1フレーム内の複数タイムスロットの信号を同一の利得設定にて、安定して受信を行うことが可能である。しかし、電力制御を行う場合を想定しておらず、マルチスロット受信時に1フレーム内を同一設定利得とすると、電力制御のダイナミックレンジ分(GPRSでは最大30dB)、受信装置への所要ダイナミックレンジが拡大し、受信装置の消費電力が増大するか、あるいは、受信装置が飽和するという問題がある。

[0020] 本発明の目的は、電力制御が行われる場合においても受信装置の飽和及び感度劣化を防止することができるとともに、電流消費量を増加させずにオフセット電圧の校正を行うことができる受信装置及び受信方法を提供することである。

課題を解決するための手段

[0021] 本発明の受信装置は、所定の受信期間における受信信号を所定の基準値まで増幅するための利得を前記受信期間前にタイムスロット毎に推定する利得推定手段と、前記利得推定手段にて推定されたタイムスロット毎の前記利得の中から最大利得を選択するとともに受信信号の利得制御を行う利得制御手段と、前記利得制御手段にて選択された前記最大利得にて前記受信期間前に受信信号のオフセット電圧を校正する電圧校正手段と、を具備する構成を採る。

[0022] 本発明の受信方法は、所定の受信期間における受信信号を所定の基準値まで増

幅するための利得を前記受信期間前にタイムスロット毎に推定するステップと、推定されたタイムスロット毎の前記利得の中から最大利得を選択するとともに受信信号の利得制御を行うステップと、選択された前記最大利得にて前記受信期間前に受信信号のオフセット電圧を校正するステップと、を具備するようにした。

- [0023] 本発明の半導体集積回路装置は、所定の受信期間における受信信号を所定の基準値まで増幅するための利得を前記受信期間前にタイムスロット毎に推定する利得推定回路と、前記利得推定回路にて推定されたタイムスロット毎の前記利得の中から最大利得を選択するとともに受信信号の利得制御を行う利得制御回路と、前記利得制御回路にて選択された前記最大利得にて前記受信期間前に受信信号のオフセット電圧を校正する電圧校正回路と、を具備する構成を採る。

発明の効果

- [0024] 本発明によれば、マルチスロット伝送時に電力制御が行われる場合においても受信装置の飽和及び感度劣化を防止することができるとともに、電流消費量を増加させずにオフセット電圧の校正を行うことができる。

図面の簡単な説明

- [0025] [図1]移動局に対するタイムスロットの割り当てを示す図
[図2]GSMのネットワーク構成を示す図
[図3]従来のオフセット電圧校正回路を示すブロック図
[図4]従来のマルチスロット伝送に対応した受信装置のブロック図
[図5]本発明の実施の形態1に係る受信装置の構成を示すブロック図
[図6]本発明の実施の形態1に係るアナログベースバンド回路の構成を示すブロック図
[図7]本発明の実施の形態1に係るGPRSにおけるダウンリンクのフレーム構成を示す図
[図8]本発明の実施の形態1に係るGPRSにおけるダウンリンクの連続するタイムスロットの構成を示す図
[図9]本発明の実施の形態1に係るマルチスロット伝送時の基地局送信電力制御を示す模式図

[図10]本発明の実施の形態1に係るアナログベースバンド回路における利得配分を示す図

[図11]本発明の実施の形態1に係るアナログベースバンド回路における利得配分を示す図

[図12]本発明の実施の形態2に係るGPRSにおけるタイムスロットの構成を示す図

[図13]本発明の実施の形態3及び本発明の実施の形態4に係る受信装置の構成を示すブロック図

発明を実施するための最良の形態

[0026] 本発明の骨子は所定の受信期間(1フレーム)におけるタイムスロット毎の利得を受信期間前に設定し、設定された利得の内の最大利得にて受信動作前に受信信号の利得制御を行い、最大利得で利得制御された後でかつ受信動作前に受信信号のオフセット電圧を校正するとともに、受信動作時において各タイムスロットに設定された最大利得以下の利得にてオフセット電圧の校正動作後の受信信号の利得制御をタイムスロット毎に行うことである。

[0027] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。

[0028] (実施の形態1)

図5は、本発明の実施の形態1に係る受信装置100の構成を示すブロック図である。本実施の形態1に係る受信装置100は、ダイレクトコンバージョン受信装置である。

[0029] 低雑音増幅器101は、受信信号を増幅し、直流成分を除去する容量102を介し、直交復調器103へ出力する。

[0030] 直交復調器103は、ミキサ103a及びミキサ103bを有し、容量102から入力した受信信号に対して無線周波数からベースバンド帯に周波数変換して、ミキサ103aからアナログベースバンド回路105aへ出力するとともに、ミキサ103bからアナログベースバンド回路105bへ出力する。

[0031] 移相器104は、図示しない局部発振源より入力される局部発振信号から、互いに90度の位相差を有する2つの信号を生成して直交復調器103のミキサ103aとミキサ103bへ各々出力する。

[0032] アナログベースバンド回路105a、105bは、可変利得増幅器及び低域通過フィル

タより構成され、直交復調器103から入力した受信信号に対して、感度点から強電界へと受信電界強度が変化する場合に、利得制御回路110の制御に基づいて後段回路より順に利得を低減してデジタル信号処理部106へ出力する。この際に、アナログベースバンド回路105a、105bは、電圧校正回路111の制御に基づいて、受信信号のオフセット電圧の校正を行う。なお、アナログベースバンド回路105aとアナログベースバンド回路105bとは、同一構成である。また、アナログベースバンド回路105a、105bの詳細については後述する。

- [0033] デジタル信号処理部106は、アナログベースバンド回路105a、105bから入力した受信信号をもとに、基地局からの送信データを再生して、図示しない表示部へのデータ表示、あるいは図示しないスピーカへの音声出力を実施する。また、デジタル信号処理部106は、所定のタイミングにてオフセット電圧の校正を開始するための校正開始信号を電圧校正回路111へ出力する。また、デジタル信号処理部106は、基地局から送信されるBCCHの受信信号、あるいは、データ受信用のタイムスロットよりRSSIを測定して、測定結果を電界強度測定部108へ出力する。さらに、デジタル信号処理部106は、復調データを送信電力情報抽出部107へ出力する。
- [0034] 送信電力情報抽出部107は、デジタル信号処理部106から入力した復調データから、各タイムスロットに対する送信電力情報(例えば、P0パラメータ)を抽出し、利得設定部109へ出力する。
- [0035] 受信品質測定手段である電界強度測定部108は、デジタル信号処理部106から入力したRSSIの測定結果より、公知の方法によりフェージングの影響を緩和して、各タイムスロットに対する基地局送信電力の制御基準となるBCCHの受信信号レベルを求め、求めたBCCHレベルの情報を利得設定部109に出力する。
- [0036] 利得推定手段である利得設定部109は、電界強度測定部108から入力した各タイムスロットに対する基地局送信電力の制御基準となるBCCHの受信電界強度の情報と、送信電力情報抽出部107から入力した各タイムスロットにおける送信電力情報とから、各タイムスロットの受信電界強度を推定し、推定した受信電界強度に応じた利得設定値を算出する。例えば、利得設定部109は、BCCHの受信電界強度から送信電力情報より取得した基地局送信電力の増減値を減算することにより推定した送

信電力の受信信号を、タイムスロット毎に基準値まで増幅するための利得を設定する。そして、利得設定部109は、設定した各タイムスロットの利得の情報である利得情報を利得制御回路110へ出力する。この時、利得設定部109は、多段回路構成であるアナログベースバンド回路105a、105bにおいて、複数の段階を経て受信信号を所定の基準値まで増幅するための利得を、段階毎に設定する。

[0037] 利得制御手段である利得制御回路110は、利得設定部109から入力した利得情報より最大利得を抽出して、オフセット電圧の校正動作時の設定利得としてアナログベースバンド回路105a、105bへ出力する。また、利得制御回路110は、各タイムスロットに対応する利得設定値を一時記憶しておき、各タイムスロットに対応した利得設定値を各タイムスロットの直前にアナログベースバンド回路105a、105bへ順次出力し、利得制御を実施する。また、利得制御回路110は、多段回路構成であるアナログベースバンド回路105a、105bの段数毎に利得制御を行う。なお、オフセット電圧の校正動作時の利得設定方法については後述する。

[0038] 電圧校正手段である電圧校正回路111は、所定のタイミングにてデジタル信号処理部106から校正開始信号が入力した場合には、アナログベースバンド回路105a、105bの受信信号に生じるオフセット電圧の校正動作を実施する。この際、電圧校正回路111は、多段回路構成であるアナログベースバンド回路105a、105bの段数毎にオフセット電圧の校正を実施する。

[0039] 次に、アナログベースバンド回路105a、105bの構成について、図6を用いて説明する。図6は、アナログベースバンド回路105aの構成を示すブロック図である。なお、アナログベースバンド回路105aとアナログベースバンド回路105bの構成は同一であるので、アナログベースバンド回路105bの構成についての説明は省略する。

[0040] アナログベースバンド回路105aは、3段の多段回路から構成されており、可変利得増幅器201及びフィルタ202は1段目回路207を構成し、可変利得増幅器203及びフィルタ204は2段目回路208を構成するとともに、可変利得増幅器205及びフィルタ206は3段目回路209を構成する。1段目回路207は、2段目回路208及び3段目回路209より前方の前段回路であり、2段目回路208は、1段目回路207より後方の後段回路であるとともに3段目回路209より前方の前段回路であり、3段目回路209

は、1段目回路207及び2段目回路208より後方の後段回路である。

- [0041] 可変利得増幅器201は、電圧校正回路111の制御に基づいて、ミキサ103aから入力した受信信号のオフセット電圧を校正する。また、可変利得増幅器201は、利得制御回路110の制御に基づいて、ミキサ103aから入力した受信信号を所定の利得にしてフィルタ202へ出力する。
- [0042] フィルタ202は、可変利得増幅器201から入力した受信信号に対して所定の帯域のみを通過させて可変利得増幅器203へ出力する。
- [0043] 可変利得増幅器203は、電圧校正回路111の制御に基づいて、フィルタ202から入力した受信信号のオフセット電圧を校正する。また、可変利得増幅器203は、利得制御回路110の制御に基づいて、フィルタ202から入力した受信信号を所定の利得にしてフィルタ204へ出力する。
- [0044] フィルタ204は、可変利得増幅器203から入力した受信信号に対して所定の帯域のみを通過させて可変利得増幅器205へ出力する。
- [0045] 可変利得増幅器205は、電圧校正回路111の制御に基づいて、フィルタ204から入力した受信信号のオフセット電圧を校正する。また、可変利得増幅器205は、利得制御回路110の制御に基づいて、フィルタ204から入力した受信信号を所定の利得にしてフィルタ206へ出力する。
- [0046] フィルタ206は、可変利得増幅器205から入力した受信信号に対して所定の帯域のみを通過させてデジタル信号処理部106へ出力する。このように、アナログベースバンド回路105a、105bは、受信信号を1段目回路207、2段目回路208及び3段目回路209を通過させることにより、不要な帯域成分を除去しながらデジタル信号処理部106にて設定した利得になるように受信信号の増幅を行う。
- [0047] 次に、受信装置100の動作について、図7〜図9を用いて説明する。図7は、複数の移動局で同一周波数チャネルを共用するGPRSにおける、ダウンリンクのフレームの構成を示すものであり、図8は、GPRSにおけるダウンリンクの連続するタイムスロットの構成を示すものであり、図9は、マルチスロット伝送時に電力制御を行った際の送信電力を示す模式図である。
- [0048] 図7は、所定の受信期間であるフレーム#301及びフレーム#302のフレーム構成

を示すものである。図7において、横軸は経過時間である。また、図7より、フレーム#301には、所望の移動局に対するダウンリンク情報が収められており、フレーム#302は、フレーム#301の直前のフレームである。また、周波数チャネル#303、#304、#305は、ダウンリンク周波数の異なるチャネルであり、タイムスロット#310〜#317は、フレーム#301を構成する8つのタイムスロットである。また、タイムスロット#318は、フレーム#302の最後尾のタイムスロットであり、各タイムスロットの最後尾には、ガードタイムと呼ばれる有効データの存在しない空き時間が設けられている。

[0049] 図8は、タイムスロット#318及びタイムスロット#310の構成を示すものであり、タイムスロット#318は最後尾にガードタイム#401を有し、タイムスロット#310は最後尾にガードタイム#402を有する。なお、フレーム#301はフレーム#302よりも時間的に後に受信されるものであり、図7及び図8の右側ほど時間的に後に受信されるタイムスロット及びフレームとなる。

[0050] 図9において、横軸は経過時間であり、縦軸は、図7のタイムスロット#310、#311、#312、#313に対する基地局アンテナ出力端での送信電力強度を示すものである。図9では、マルチスロット伝送時の電力制御の一例として、タイムスロット#310、#311、#312と#313内のデータはそれぞれ移動局#501、#502、#503向けに送信されている場合を考える。ここで、移動局#501に対してタイムスロット#310、移動局#502に対してタイムスロット#310〜#313、移動局#503に対してタイムスロット#312、#313が割り当てられている。よって、タイムスロット#310を移動局#501、#502が受信し、タイムスロット#311を移動局#502が受信し、タイムスロット#312、#313を移動局#502、#503が受信している。また、移動局と基地局との距離は、タイムスロット#502が割り当てられている移動局、タイムスロット#503が割り当てられている移動局、タイムスロット#501が割り当てられている移動局の順に遠くなっている。したがって、フレーム#301の各タイムスロット#310、#311、#312、#313、#314、#315、#316、#317のうち、ダウンリンク伝送を実行しているタイムスロットにおいて、タイムスロット#310における送信電力が最大であり、タイムスロット#311における送信電力が最小であるものとする。

[0051] 上記の条件下での、移動局#502の受信装置100の動作を説明する。まず、デジ

タル信号処理部106は、フレーム#302内で、受信装置100に割り当てられたダウンリンク用タイムスロット及びアップリンク用タイムスロット以外のタイムスロットにおいて、あるいは、図7に図示していない、有効なデータの存在しないアイドル・フレームにおいて、受信装置100との通信を行っている基地局から送信されるBCCHのRSSIを測定している。そして、電界強度測定部108は、フレーム#301より前に求めたRSSI測定値から、公知の技術によりフェージングの影響を緩和して、フレーム#301内の各タイムスロットに対する基地局送信電力の制御基準となるBCCHの受信電界強度(POW_{bcch})を求め、利得制御回路110に出力する。

[0052] 送信電力情報抽出部107から利得設定部109に入力した各タイムスロットの送信電力情報として、タイムスロット#310の送信電力情報が $P0(\#310)$ 、タイムスロット#311の送信電力情報が $P0(\#311)$ 、タイムスロット#312の送信電力情報が $P0(\#312)$ 、タイムスロット#313の送信電力情報が $P0(\#313)$ であり、かつ $P0(\#312) = P0(\#313)$ である場合、利得設定部109では、電界強度測定部108から入力した POW_{bcch} を基準として、 $POW_{bcch} - P0(\#310)$ 、 $POW_{bcch} - P0(\#311)$ 、 $POW_{bcch} - P0(\#312)$ の計算を行う。フレーム#301内の各タイムスロットの直前のガードタイム#401にて実施する利得切替え時には、 $POW_{bcch} - P0(\#310)$ 、 $POW_{bcch} - P0(\#311)$ 、 $POW_{bcch} - P0(\#312)$ の計算結果より対応タイムスロット毎の設定利得を求める。また、フレーム#301の直前のガードタイム#401にて実施するオフセット電圧の校正動作時の設定利得は、 $P0$ パラメータが最大時の設定利得を用いることで、フレーム#301での最大利得($G_{max}[dB]$)が得られる。例えば、図7のフレーム#302におけるタイムスロット#318の最後尾に設けられているガードタイム#401において、フレーム#301におけるタイムスロット#310〜#317の送信電力情報である $P0$ パラメータを比較する。比較した結果、タイムスロット#311に対応する $P0$ パラメータが最も大きいので利得制御回路110はタイムスロット#311に対応する利得設定値を選択して、オフセット電圧の校正動作時の利得情報($G_{max}[dB]$)として設定する。

[0053] そして、ガードタイム#401内において、利得制御回路110が利得情報($G_{max}[dB]$)をアナログベースバンド回路105a、105bへ出力して、校正動作時の利得を設定し、その後、デジタル信号処理部106より校正開始信号を送信する。電圧校正回路1

11は、校正開始信号をトリガーとして、前記ガードタイムにおいて校正動作を実施した後、フレーム#301においては、タイムスロット#317の最後尾の図示しないガードタイム以外の期間は休止状態に入る。その後、利得制御回路110は、ガードタイム#401において、タイムスロット#310に対する所望値($G1[\text{dB}]$)に設定した利得情報をアナログベースバンド回路105a、105bへ出力することにより、タイムスロット#310の利得を設定する。そして、アナログベースバンド回路105a、105bの利得設定完了後、タイムスロット#310の受信を行う。タイムスロット#310の受信完了後、利得制御回路110は、タイムスロット#310の最後尾に設けられている図示しないガードタイムにおいて、タイムスロット#311に対する所望値($G2[\text{dB}]$)に設定した利得情報を出し、アナログベースバンド回路105a、105bの利得設定を行う。以降、タイムスロット#313の受信完了まで、同様の動作を繰り返す。フレーム#301の最後尾のタイムスロット#317に含まれるガードタイムにおいて、フレーム#301の直前にて行ったのと同様の手順にて、オフセット電圧の校正動作を行う。その後のフレーム受信中の動作はフレーム#301の受信時と同様であり省略する。

[0054] 本発明に至る過程での検討によれば、受信装置100のアナログベースバンド回路105a、105bのように、感度点から強電界へと受信電界強度が変化する場合に、後段回路より順次利得を低減する利得切替え構成において、特定の利得設定にてオフセット電圧の校正動作を実施した後利得を低減する場合には、校正されずに受信信号に残ったオフセット電圧である残留オフセット電圧が大幅に増加することはない。したがって、図7のフレーム#301の直前のタイムスロット#318に含まれるガードタイム#401にて、フレーム#301内での最大利得設定にてオフセット電圧の校正を実行することで、フレーム#301内のタイムスロット間で利得を切り替えても残留オフセット電圧が大幅に増加することはないと言える。以下に、その理由を説明する。

[0055] アナログベースバンド回路105a、105bの可変利得増幅器201、203、205における可変利得の実現手段としては、可変利得増幅器201、203、205の入力部または出力部の抵抗値の比を切り替える方法がある。

[0056] 可変利得増幅器201のみに着目した場合において、可変利得増幅器201の電圧利得が $G3[\text{dB}]$ で、可変利得増幅器201の出力にオフセット電圧(ΔV_0)が発生し

ているとすると、可変利得増幅器201の入力部のオフセット電圧は、式(1)となる。

[数1]

$$\frac{\Delta V_0}{10^{\frac{G_3}{20}}} \quad (1)$$

- [0057] また、電圧校正回路111において、可変利得増幅器201の入力部の抵抗付近に外部から電流を流し込み(補正電流)、補正電流と入力抵抗とにより発生する電圧降下作用を利用してオフセット電圧を打ち消すという方法がある。
- [0058] ここで、可変利得増幅器201の電圧利得をG3[dB]からG4[dB]へと変更する利得切替え方法として、入力抵抗を可変にする方法、出力抵抗を可変にする方法、及び入力抵抗と出力抵抗との両方を可変にする方法の3通りの方法がある。
- [0059] 上記の電圧降下は、可変利得増幅器201の入力抵抗値と補正電流とを乗算することにより求まるので、入力抵抗を可変にする利得切替え方法では、上記の電圧降下が可変となり、可変利得増幅器201の入力部にオフセット電圧の残留オフセット電圧が生じる。そして、可変利得増幅器201の入力部の残留オフセット電圧は、可変利得増幅器201にて利得倍増幅されて出力されることになり、校正動作が無効になる。
- [0060] 一方、上記の残留オフセット電圧を生じないようにするためには、出力抵抗を可変にする利得切替え方法を用いれば良い。この場合、入力抵抗値が不変なため上記の電圧降下は理想的には一定値であり、利得を切替えても入力部に残留オフセットが発生しないこと、及び「可変利得増幅器201の出力部でのオフセット電圧＝可変利得増幅器201の入力部のオフセット電圧×可変利得増幅器201の利得」であることから、利得の切替えを実施して電圧利得がG4[dB]になっても可変利得増幅器201の出力部のオフセット電圧は「0」になる。しかし、出力抵抗を可変にする方法を用いる場合においても、補正電流の対温度特性などによって、可変利得増幅器201の入力部の入力抵抗部分での電圧降下が理想状態からずれてしまう場合があり、この場合には、入力抵抗を可変にする方法を用いる場合と同様の問題が発生する。なお、可変利得増幅器201の入力抵抗と出力抵抗との両方を可変にする方法では、上記の入力抵抗を可変にする方法及び出力抵抗を可変にする方法の両方の影響が現れる。

- [0061] そこで、利得の切替えに起因して可変利得増幅器201の入力部における校正動作

が無効になるのを防ぐ方法として、利得の切り替え時においてオフセット電圧の校正時の利得よりも低減する方向にのみ利得を切り替える方法が考えられる。これは、「可変利得増幅器201の出力部でのオフセット電圧＝可変利得増幅器201の入力部のオフセット電圧×可変利得増幅器201の利得」であることより、利得切り替え後の利得が低いほど、利得切り替えに起因するオフセット電圧の発生を抑制することができるため、利得の切り替えに起因して可変利得増幅器201の入力部における校正動作が無効になるのを防ぐ方法として有効である。この方法は、可変利得増幅器203、205においても当然に有効である。

[0062] 次に、アナログベースバンド回路105a、105bを多段回路構成とする場合において、利得の切り替え時においてオフセット電圧の校正時の利得よりも低減する方向にのみ利得を切り替える方法について、図6、図10及び図11を用いて説明する。図10及び図11は、アナログベースバンド回路105a、105bにおける可変利得増幅器201、203、205の利得配分及び、それぞれの利得設定時のアナログベースバンド回路105a、105bの合計利得を示す図である。図10及び図11では、合計利得が15[dB]の場合が感度点であり、合計利得が15[dB]から0[dB]に近づくにつれて徐々に強電界になる場合の例を挙げている。

[0063] 図10の場合、アナログベースバンド回路105a、105bから出力される受信信号の利得がオフセット電圧の校正時の利得よりも低減するようにしても、各段の可変利得増幅器201、203、205は必ずしも利得低減方向に利得を切り替えることにはならない。

[0064] 例えば、アナログベースバンド回路105a、105bに要求される最大利得が15[dB]で、かつ最小利得が0[dB]である場合において、アナログベースバンド回路105a、105bの合計利得が10[dB]から5[dB]になる場合、即ち送信電力情報抽出部107にてフレーム毎に最大の設定利得を推定し、オフセット電圧校正時の利得として10[dB]を設定した後、所望のタイムスロット内に5[dB]の設定利得が必要になる場合には、可変利得増幅器203の利得は増加する方向であり、残留オフセット電圧が拡大する可能性がある。

[0065] 一方、図11の場合、合計利得が低下すれば可変利得増幅器201、203、205の

利得は一定もしくは減少する方向であり、残留オフセット電圧の拡大を抑制できる。

[0066] 実際の製品等において、各可変利得増幅器の設定最大利得がさらに大きい場合、または可変利得増幅器205の後段にさらに可変利得増幅器が接続される場合等は、可変利得増幅器203の残留オフセット電圧により大きな問題が生じる。したがって、図11に示すように、後段回路から順次利得が低減されるように各段の可変利得増幅器201、203、205のオフセット電圧の校正動作時の利得を設定することが望ましい。

[0067] このように、本実施の形態1によれば、フレーム#301の直前フレームにて、基地局から報知される送信電力情報より抽出した最大値に基づいて、フレーム#301内での最大利得を推定するとともに、推定した最大利得にてオフセット電圧の校正動作時の利得制御を行い、オフセット電圧の校正動作終了後の受信動作時の利得制御における設定利得を、オフセット電圧の校正動作時の利得制御における設定利得よりも低減するので、受信動作中の利得制御における残留オフセット電圧の影響を最小にすることができる。これにより、マルチスロット伝送時に電力制御が行われる場合においても受信装置の飽和及び感度劣化を防止することができるとともに、電流消費量を増加させずにオフセット電圧の校正を行うことができる。また、マルチスロット伝送時に電力制御が実施される場合でも、受信動作時の高精度な利得切替えを実現することができる。

[0068] また、本実施の形態1によれば、アナログベースバンド回路105a、105bを多段構成にするので、オフセット電圧の校正動作時の利得から受信動作時の利得に切り替えた場合に、アナログベースバンド回路105a、105bの各構成回路の利得が低下するので、オフセット電圧の校正動作時に校正しきれずに残留したオフセット電圧の増幅を確実に抑制することができる。また、本実施の形態1によれば、連続するタイムスロット#310ー#317からなるフレーム#301における、同一周波数の受信信号を増幅するための利得を設定するので、無線周波数が異なることに起因するオフセット電圧の発生を抑制することができる。

[0069] なお、GPRSなどの受信周波数が固定ではなく、フレーム単位で周波数ホッピングする無線システムでは、本実施の形態1にて説明してきたように、フレームごとの最大

利得にてオフセット電圧の校正動作を行うことが有効である。

[0070] (実施の形態2)

図12は、本実施の形態2における受信装置にて受信されるGPRSにおける受信信号のタイムスロットを示す図である。本実施の形態2に係る受信装置は、図5と同一構成であるので、その説明は省略する。

[0071] 図12より、GPRSにおける受信信号のタイムスロットは、ヘッダー領域801とデータ領域802とから構成される。

[0072] 次に、受信装置の動作について、図5及び図7を用いて説明する。GPRSでは、制御チャンネル内のP0パラメータを用いた電力制御に加え、当該タイムスロット内ヘッダー領域801のPRパラメータを用いて電力制御を実施する可能性がある。GSM規格書「Digital cellular telecommunications system(Phase 2+);Radio subsystem link control (3GPP TS 05.08 ver 8.16.0 Release 1999)」によれば、PRパラメータを用いた電力制御に関して、マルチスロット伝送時でも最大10[dB]までは、移動局受信装置はGSM規格書「Digital cellular telecommunications system(Phase 2+);Radio transmission and reception (3GPP TS 05.05 version 8.9.0 Release 1999)」を満足することが要求される。

[0073] そこで、自移動局の存在するセル内にて、PRパラメータを用いた電力制御が行われている場合には、利得制御回路110では、当該フレーム以前に基地局から通知されるP0パラメータ最大時の設定利得を用いることで、フレーム# 301での最大利得(G_{max} [dB])を推定する。

[0074] さらに、利得制御回路110は、設定した最大利得 G_{max} に基づいて、 $G_{max} + 10$ [dB]を利得情報として生成する。ただし、 $G_{max} + 10$ [dB]が、アナログベースバンド回路105a、105bの最大合計利得(G_{total} [dB])より大きい場合は、 G_{total} [dB]を利得情報とする。なお、その他の動作は、上記実施の形態1と同一であるので、その説明は省略する。

[0075] このように、本実施の形態2によれば、上記実施の形態1の効果に加えて、フレーム# 301の直前フレーム# 302にて、基地局から通知される送信電力情報に基づいて、フレーム# 301内での最大利得を推定するとともに、推定した最大利得よりもさらに

10[dB]高い利得をオフセット電圧の校正動作時の利得として設定するので、GSM規格を満たしたより効率的な電力制御が行われる場合においても受信装置の飽和及び感度劣化を防止することができるとともに、電流消費量を増加させずにオフセット電圧の校正を行うことができる。

[0076] (実施の形態3)

図13は、本発明の実施の形態3に係る受信装置1300の構成を示すブロック図である。本実施の形態3に係る受信装置1300は、ダイレクトコンバージョン受信装置であり、図5に示す実施の形態1に係る受信装置100において、図13に示すように、比較部1301を追加する。なお、図13においては、図5と同一構成である部分には同一符号を付してその説明は省略する。

[0077] 電界強度測定部108は、デジタル信号処理部106から入力したRSSIの測定結果より、公知の方法によりフェージングの影響を緩和して、各タイムスロットに対する基地局送信電力の制御基準となるBCCHの受信信号レベルを求め、求めたBCCHレベル情報を利得設定部109に出力する。また、電界強度測定部108は、比較部1301より、BCCHレベル情報の算出時に加算しない最小利得のタイムスロットの情報である除外タイムスロット情報を受信した場合には、除外タイムスロット情報のタイムスロット受信時のRSSIは、BCCHレベル情報の算出時には含めない。

[0078] 利得設定部109は、電界強度測定部108から入力した各タイムスロットに対する基地局送信電力の制御基準となるBCCHの受信電界強度の情報と、送信電力情報抽出部107から入力した各タイムスロットにおける送信電力情報とから、各タイムスロットの受信電界強度を推定し、推定した受信電界強度に応じた利得設定値を算出する。例えば、利得設定部109は、BCCHの受信電界強度から送信電力情報より取得した基地局送信電力の増減値を減算することにより推定した送信電力の受信信号を、タイムスロット毎に基準値まで増幅するための利得を設定する。そして、利得設定部109は、設定した各タイムスロットの利得の情報である利得情報を利得制御回路110及び比較部1301へ出力する。なお、除外タイムスロット情報のタイムスロットは、長周期の積分を行うRSSIの計算の際には除外されるが、瞬時的なタイムスロットの利得設定時には、除外タイムスロット情報のタイムスロットの利得も設定される。

- [0079] 比較部1301は、利得設定部109から入力した当該フレーム内のタイムスロット毎の利得情報の利得値から、利得値の平均値を算出して平均利得値を算出するとともに、利得情報の利得値の中での最小利得値を求める。そして、比較部1301は、平均利得値と最小利得値を参照し、平均利得値と最小利得値との差が所定値(第一のしきい値)以上の場合には、電力制御による受信電力の増減が生じているものとして、最小利得のタイムスロット受信時のRSSIは、BCCHレベル情報の算出時に加算しないように、除外タイムスロット情報を電界強度測定部108へ送信する。
- [0080] マルチスロット伝送時に電力制御が実施される場合は、背景技術に記載したように、緊急の割り込みが発生する場合であり、発生頻度は低いと考えられる。また、電力制御のダイナミックレンジが最大30dBと広いため、利得情報の算出にあたって電力制御時のRSSIを含めると、利得設定の誤差要因となる。そこで、本実施の形態3では、電力制御時のRSSIを利得情報の算出から除外する方法を示す。
- [0081] 具体的には、電力制御によって、自移動局よりも基地局との距離の遠い他の移動局に対して、割り込みが発生する場合を想定する。割り込み発生時には、通常受信時よりもRSSIが大きく、すなわち、設定利得が小さくなる。
- [0082] 比較部1301は、通常受信時を表す平均利得値をもとにして、平均利得値と最小利得値との差が所定値以上に拡大した場合には、ここで想定する緊急の割り込みが発生したものとして、除外すべきRSSI測定タイミングを、除外タイムスロット情報として、電界強度測定部108へ出力する。
- [0083] このように、本実施の形態3によれば、上記実施の形態1の効果に加えて、マルチスロット伝送時に電力制御を行う場合の受信装置の設定利得の誤差を低減することができる。また、本実施の形態3によれば、マルチスロット伝送時に電力制御が実施された場合に、極端に変動するRSSIの影響を取り除くので、より高精度な利得設定を実現することができる。
- [0084] (実施の形態4)
本発明の実施の形態4に係る受信装置の構成は図13と同一構成であるので、図13を用いて説明する。
- [0085] 比較部1301は、利得設定部109から入力した、フレーム内のタイムスロットごとの

利得情報の利得値から、最大利得値及び最小利得値を求める。そして、比較部1301は、最大利得値と最小利得値を参照し、最大利得値と最小利得値との差が所定値(第二のしきい値)以上の場合には、電力制御による受信電力の増減が生じているものとして、前記最小利得値を測定したタイムスロット受信時のRSSIは、BCCHレベル情報の算出時に加算しないように、電界強度測定部108へと除外タイムスロット情報を送信する。

- [0086] 本実施の形態4では、電力制御時のRSSIを利得情報の算出から除外するための方法でかつ、実施の形態3と別の方法について説明する。
- [0087] 比較部1301は、最大利得値と最小利得値との差が所定値以上に拡大した場合には、上記実施の形態3にて説明したような緊急の割り込みが発生したものとして、除外すべきRSSI測定タイミングを、除外タイムスロット情報として、電界強度測定部108へ出力する。
- [0088] このように、本実施の形態4によれば、上記実施の形態1の効果に加えて、マルチスロット伝送時に電力制御を行う場合の受信装置の設定利得の誤差を低減することができる。また、本実施の形態4によれば、マルチスロット伝送時に電力制御が実施された場合に、極端に変動するRSSIの影響を取り除くので、より高精度な利得設定を実現することができる。
- [0089] なお、上記実施の形態1～実施の形態4において、アナログベースバンド回路105a、105bは3段の多段回路により構成されることとしたが、これに限らず、3段以外の多段回路により構成される場合、1つの可変利得増幅器のみにより構成される場合、または1つの利得増幅器と1つのフィルタとから構成される場合の何れの場合でも良い。また、上記実施の形態1～実施の形態4において、各フレームの最後尾のタイムスロットのガードタイムにて次の1フレームの各タイムスロットにおける最大の設定利得を推定することとしたが、これに限らず、複数フレームまたは複数タイムスロット毎に次の複数フレームまたは次の複数タイムスロットにおける最大の設定利得を推定するようにしても良い。また、上記実施の形態1～実施の形態4において、フレーム#301の直前のフレーム#302にてP0パラメータの最大値から最大利得を推定することとしたが、これに限らず、フレーム#302以前のフレームにて送信電力情報を受信してい

れば、送信電力情報を受信した後でかつフレーム#302よりも前の任意のフレームにて、POパラメータの最大値から最大利得を推定することが可能である。

[0090] また、上記実施の形態1ー実施の形態4の受信装置100、1300は、通信端末装置に適用することが可能である。また、上記実施の形態1ー実施の形態4の受信装置100、1300は、利得設定部109を利得設定回路とするとともに、利得設定部109、利得制御回路110及び電圧校正回路111等の各回路を単一の半導体基板上に一体として作り込んだ回路構造(大規模集積回路(LSI))を有する半導体集積回路装置として構成することができる。

[0091] 本明細書は、2003年12月1日出願の特願2003-402232に基づく。この内容はすべてここに含めておく。

産業上の利用可能性

[0092] 本発明にかかる受信装置及び受信方法は、ダウンリンク送信電力制御が行われる場合においても受信装置の飽和及び感度劣化を防止することができるとともに、電流消費量を増加させずにオフセット電圧の校正を行う効果を有し、オフセット電圧を校正するのに有用である。

請求の範囲

- [1] 所定の受信期間における受信信号を所定の基準値まで増幅するための利得を前記受信期間前にタイムスロット毎に推定する利得推定手段と、
前記利得推定手段にて推定されたタイムスロット毎の前記利得の中から最大利得を選択するとともに受信信号の利得制御を行う利得制御手段と、
前記利得制御手段にて選択された前記最大利得にて前記受信期間前に受信信号のオフセット電圧を校正する電圧校正手段と、
を具備する受信装置。
- [2] 前記利得推定手段は、連続するタイムスロットからなる前記受信期間における同一周波数の受信信号を、前記基準値まで増幅するための前記利得を推定する請求項1記載の受信装置。
- [3] 受信信号から受信品質を示す測定値を求める受信品質測定手段を具備し、
前記利得推定手段は、通信相手におけるタイムスロット毎の送信電力を示す情報である送信電力情報と前記測定値とに基づいて前記利得を推定する請求項1記載の受信装置。
- [4] 前記利得推定手段は、前記受信期間における、前記利得を平均化した平均利得と前記利得の内の最小利得との差が第一のしきい値以上の場合には、前記最小利得のタイムスロットの前記測定値を除外して前記利得を推定する請求項3記載の受信装置。
- [5] 前記利得推定手段は、前記受信期間における、前記最大利得と前記利得の内の最小利得との差が第二のしきい値以上の場合には、前記最小利得のタイムスロットの前記測定値を除外して前記利得を推定する請求項3記載の受信装置。
- [6] 前記利得推定手段は、前記測定値から前記送信電力情報の送信電力をタイムスロット毎に減算して各タイムスロットの送信電力を推定するとともに、推定した送信電力の受信信号を前記基準値まで増幅するための前記利得を推定する請求項3記載の受信装置。
- [7] 前記利得推定手段は、複数の段階を経て受信信号を所定の基準値まで増幅するための利得を前記段階毎に前記受信期間中に設定するとともに、2つの連続する前

記段階にて前方の前記段階の利得が後方の前記段階の利得に対して大きいかまたは等しくなるような利得を順次設定し、

前記利得制御手段は、前記利得推定手段にて設定された前記段階毎の利得にて前記受信期間中に前記段階毎に受信信号の利得制御を行う請求項3記載の受信装置。

[8] 受信装置を具備する通信端末装置であって、

前記受信装置は、

所定の受信期間における受信信号を所定の基準値まで増幅するための利得を前記受信期間前にタイムスロット毎に推定する利得推定手段と、

前記利得推定手段にて推定されたタイムスロット毎の前記利得の中から最大利得を選択するとともに受信信号の利得制御を行う利得制御手段と、

前記利得制御手段にて選択された前記最大利得にて前記受信期間前に受信信号のオフセット電圧を校正する電圧校正手段と、

を具備する。

[9] 所定の受信期間における受信信号を所定の基準値まで増幅するための利得を前記受信期間前にタイムスロット毎に推定するステップと、

推定されたタイムスロット毎の前記利得の中から最大利得を選択するとともに受信信号の利得制御を行うステップと、

選択された前記最大利得にて前記受信期間前に受信信号のオフセット電圧を校正するステップと、

を具備する受信方法。

[10] 所定の受信期間における受信信号を所定の基準値まで増幅するための利得を前記受信期間前にタイムスロット毎に推定する利得推定回路と、

前記利得推定回路にて推定されたタイムスロット毎の前記利得の中から最大利得を選択するとともに受信信号の利得制御を行う利得制御回路と、

前記利得制御回路にて選択された前記最大利得にて前記受信期間前に受信信号のオフセット電圧を校正する電圧校正回路と、

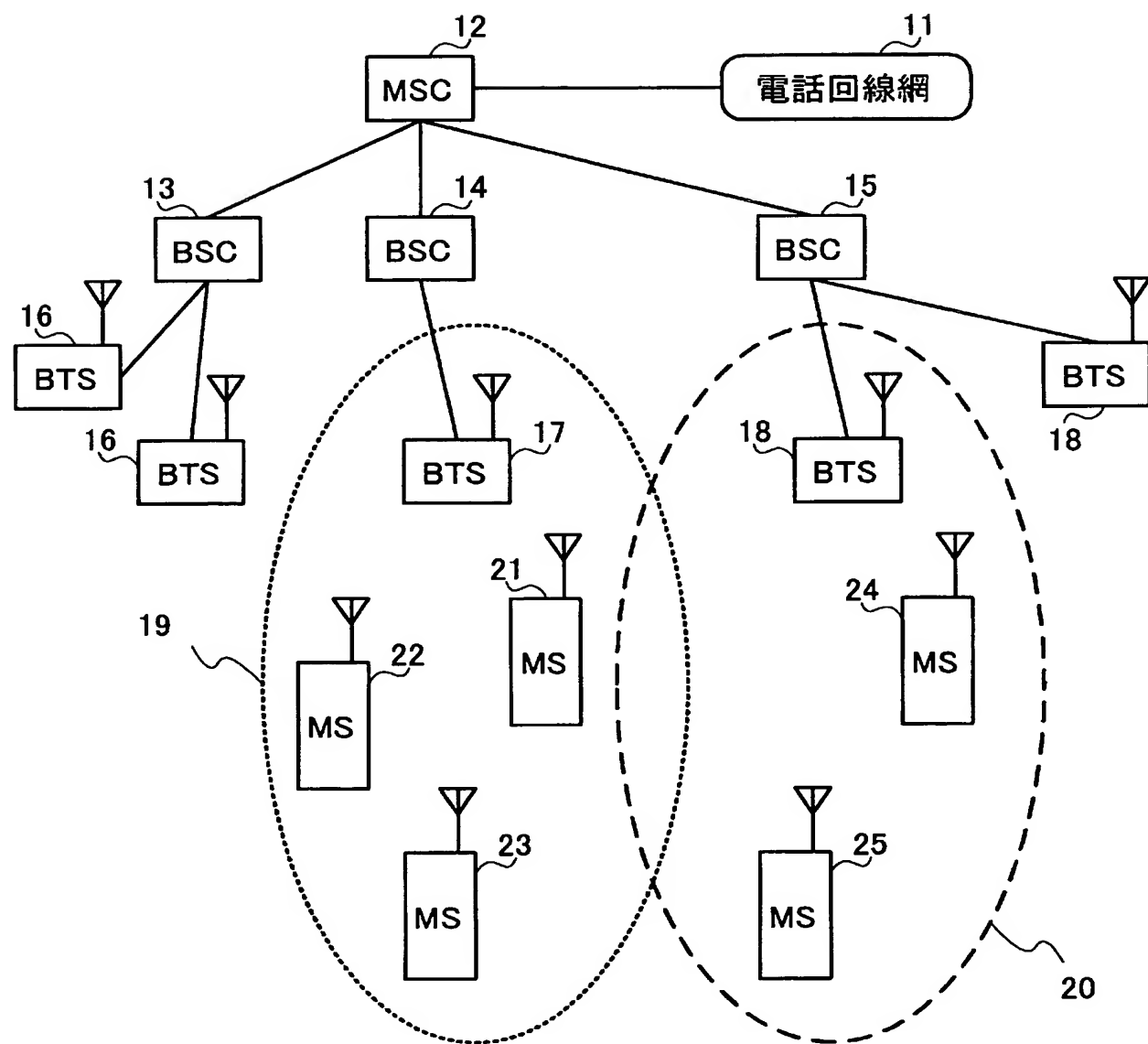
を具備する半導体集積回路装置。

[図1]

マルチスロット クラス	タイムスロットの 最大割り当て数		
	受信	送信	合計
1	1	1	2
2	2	1	3
3	2	2	3
4	3	1	4
5	2	2	4
6	3	2	4
7	3	3	4
8	4	1	5
9	3	2	5
10	4	2	5
11	4	3	5
12	4	4	5

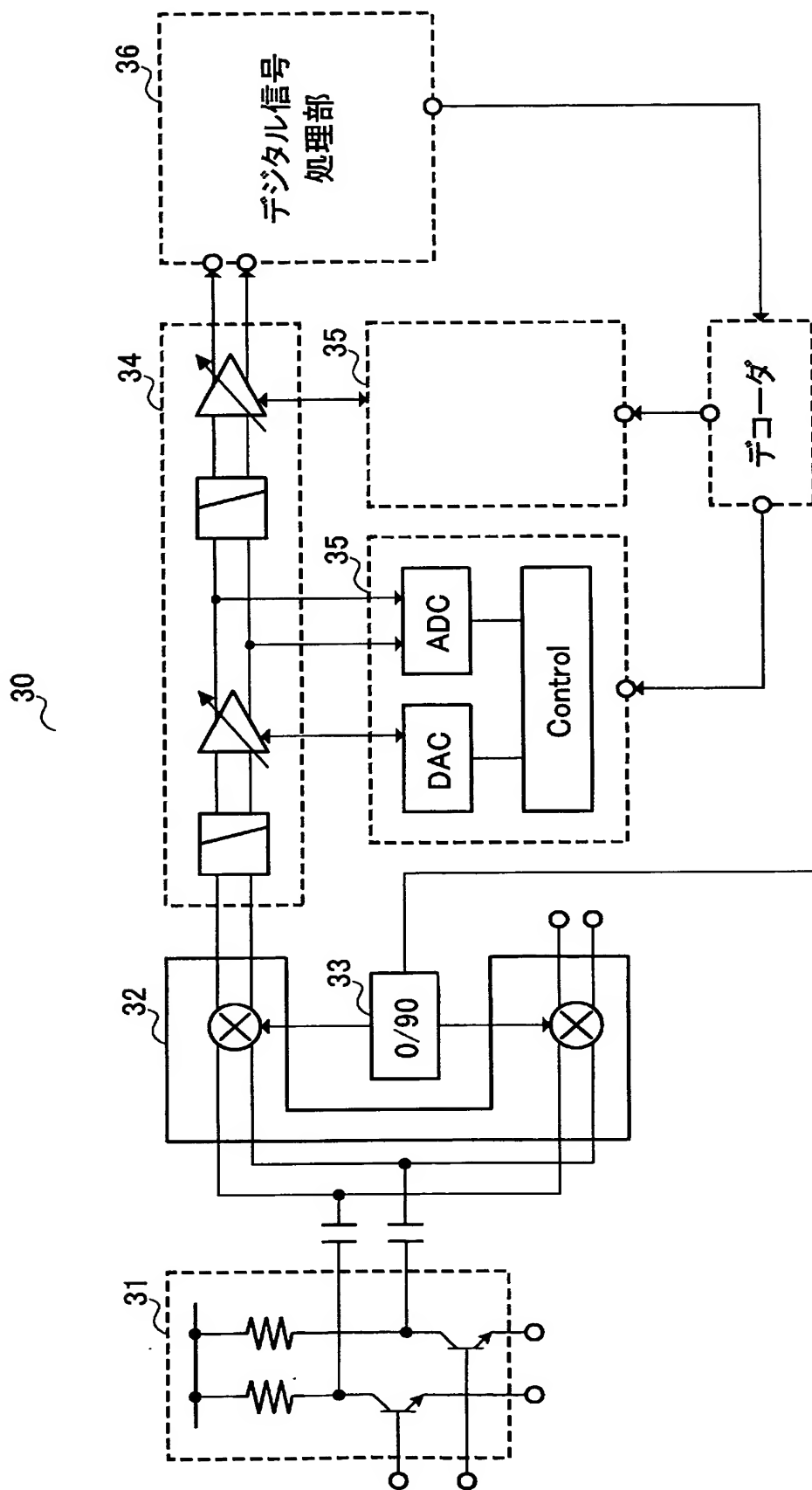
PRIOR ART

[図2]



PRIOR ART

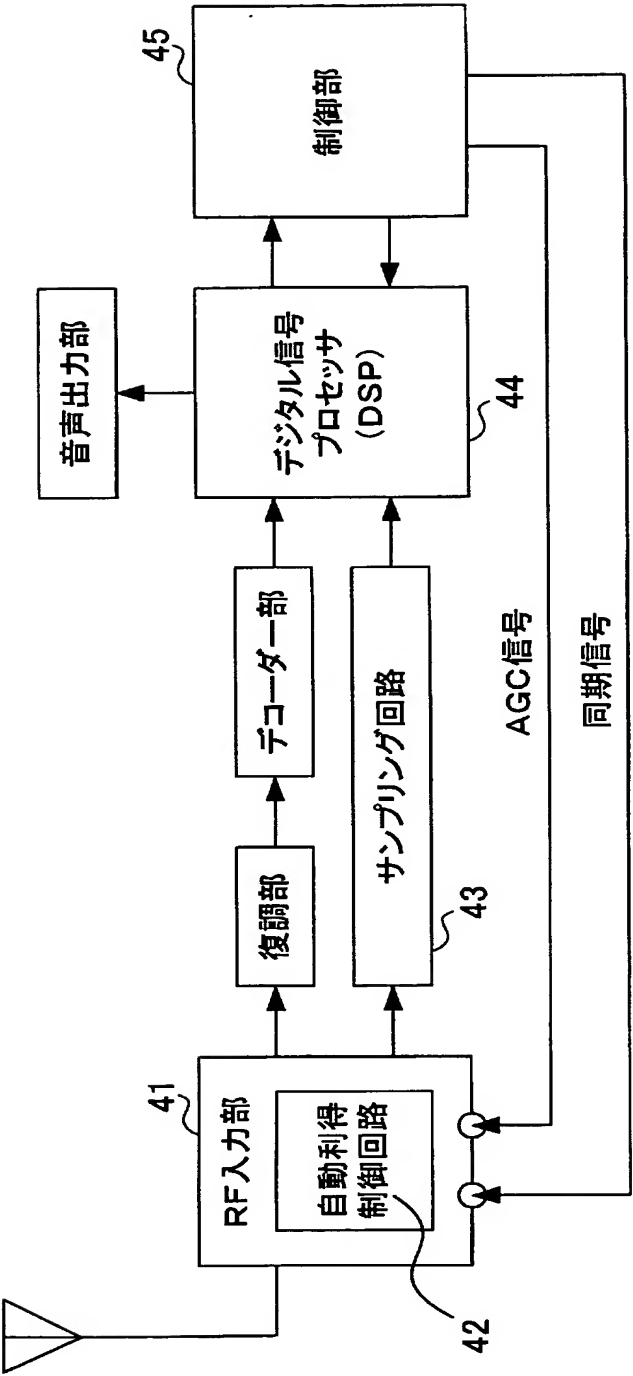
[図3]



PRIOR ART

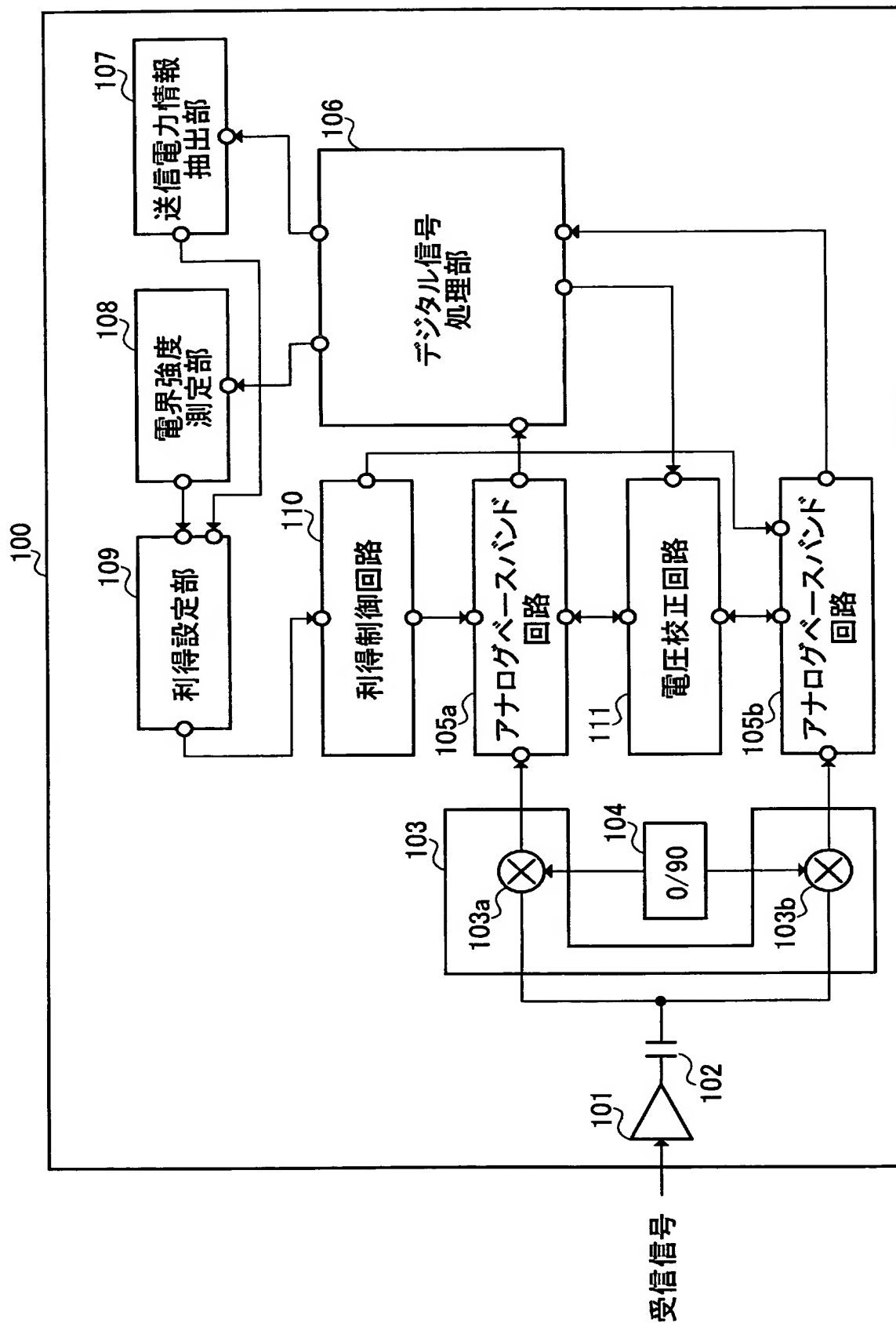
[図4]

40

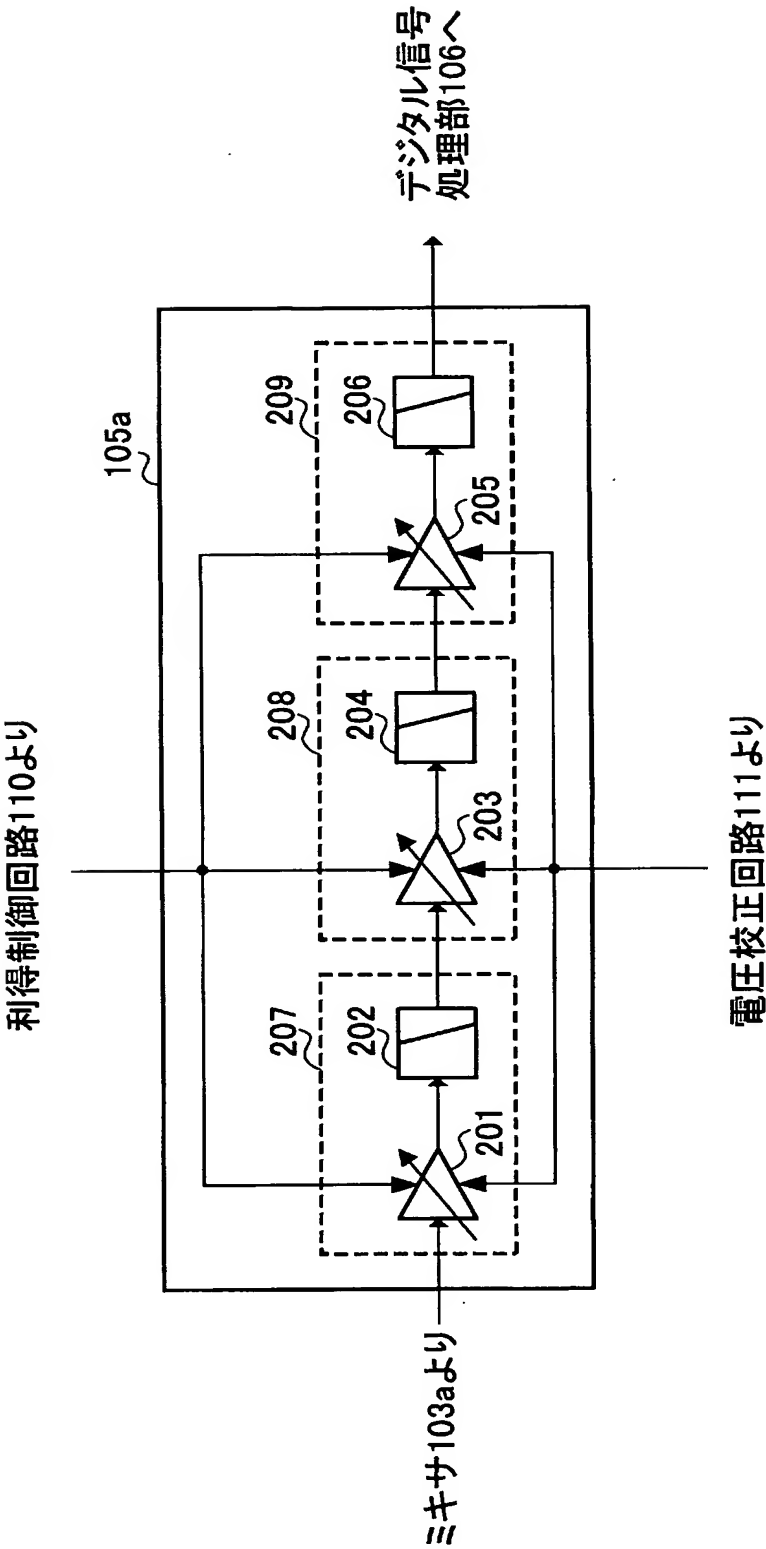


PRIOR ART

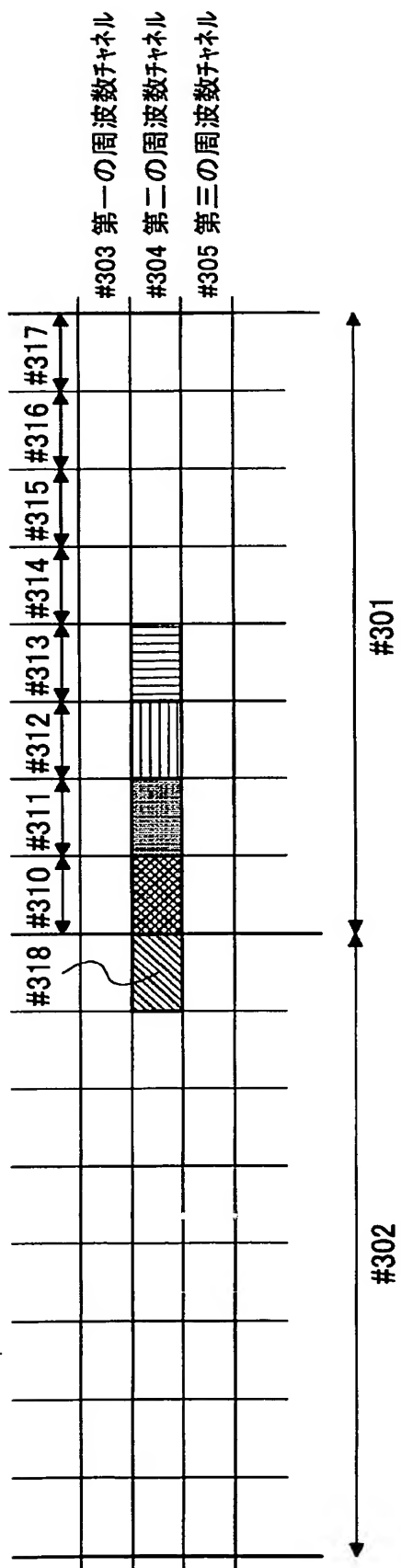
[図5]



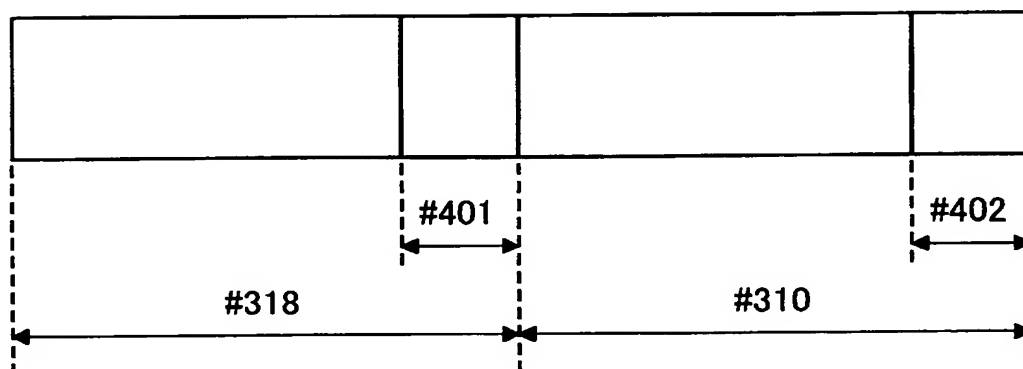
[図6]



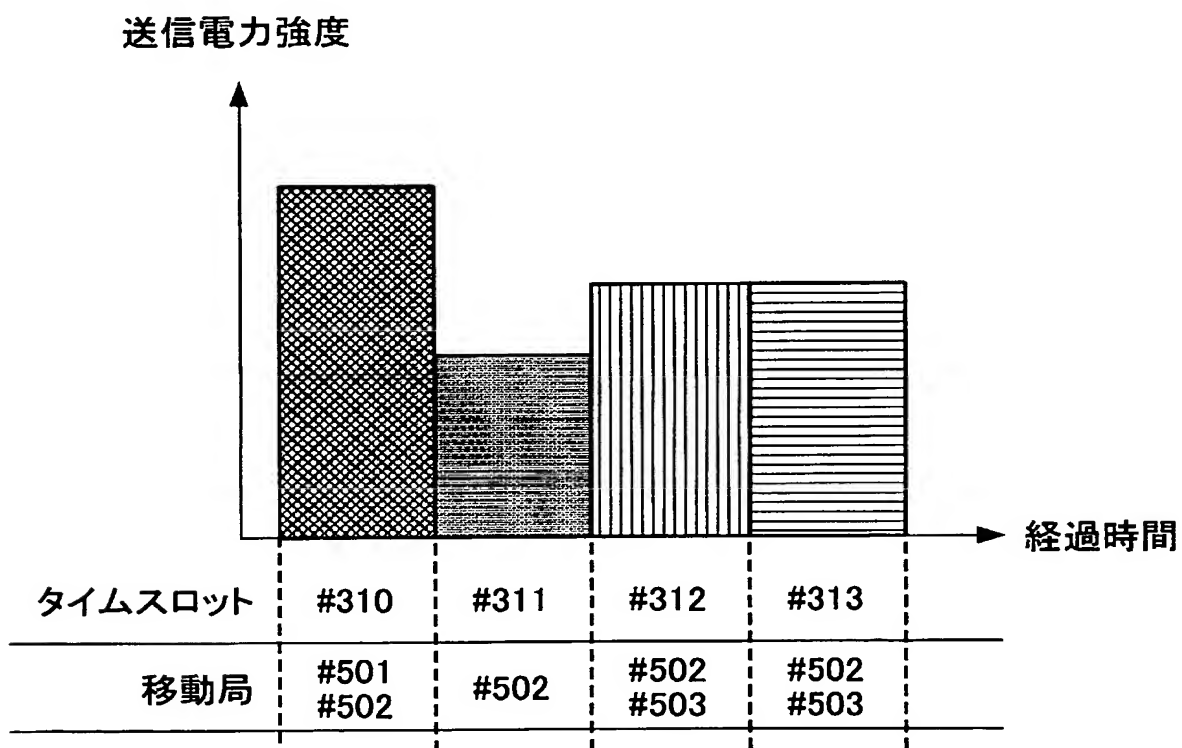
[図7]



[図8]



[図9]



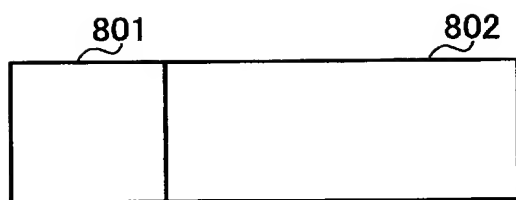
[図10]

合計利得 [dB]	可変利得増幅器 201の利得 [dB]	可変利得増幅器 203の利得 [dB]	可変利得増幅器 205の利得 [dB]
15	5	5	5
10	5	0	5
5	0	5	0
0	0	0	0

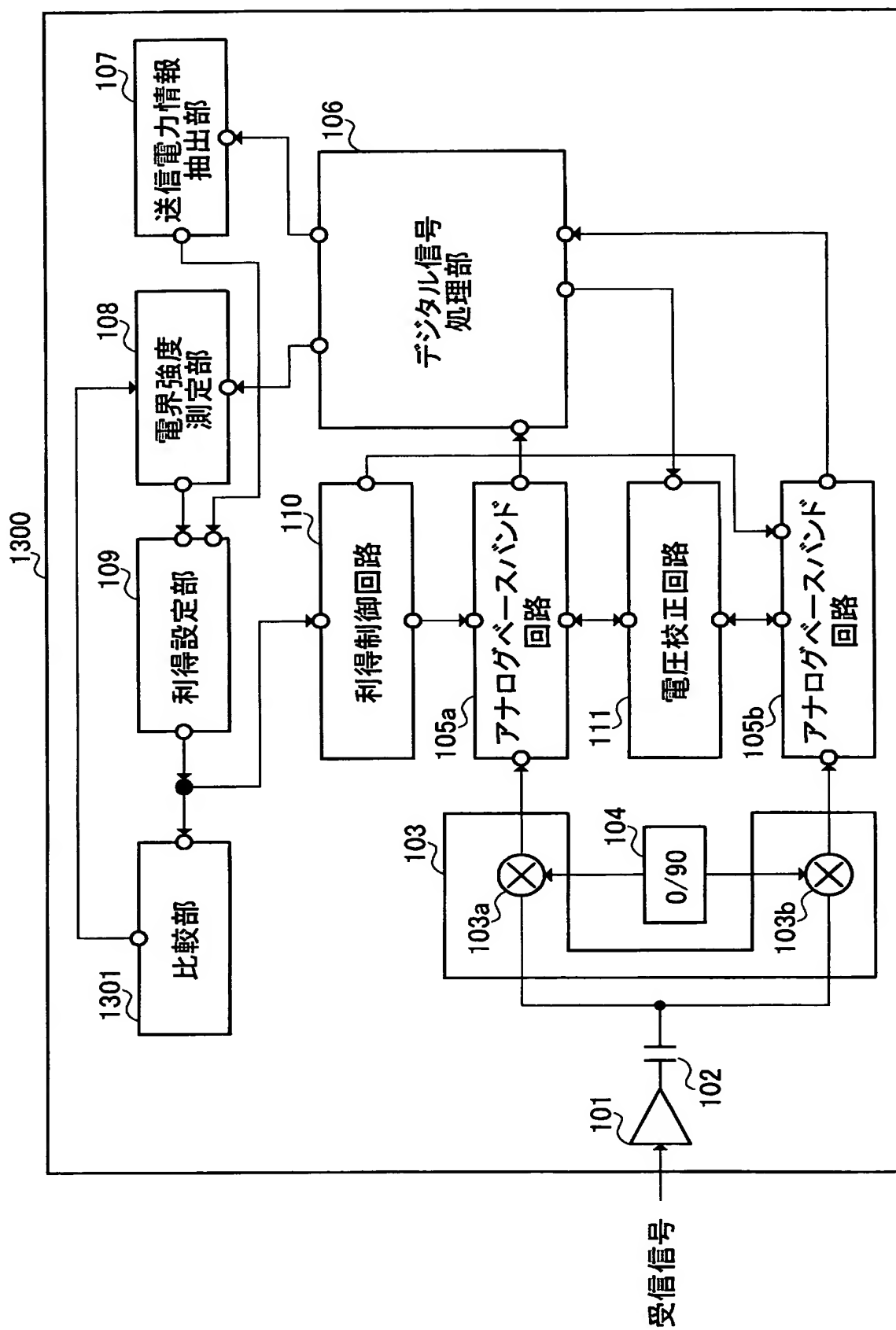
[図11]

合計利得 [dB]	可変利得増幅器 201の利得 [dB]	可変利得増幅器 203の利得 [dB]	可変利得増幅器 205の利得 [dB]
15	5	5	5
10	5	5	0
5	5	0	0
0	0	0	0

[☒] 12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017785

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04B1/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04B1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-40997 A (Sony Corp.), 08 February, 2000 (08.02.00), Par. Nos. [0007] to [0015]; Figs. 1 to 3 & EP 975099 A2 & KR 2000011811 A & US 6667965 B1	1-10
A	JP 9-116360 A (Fujitsu Ltd.), 02 May, 1997 (02.05.97), Par. Nos. [0013] to [0015]; Figs. 6 to 12 (Family: none)	1-10
A	JP 2002-185398 A (Sony Corp.), 28 June, 2002 (28.06.02), Par. Nos. [0029] to [0030]; Fig. 7 & WO 2002/051040 A1 & EP 1248388 A1 & US 2003/0031135 A1 & CN 1401164 A	1

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 March, 2005 (02.03.05)

Date of mailing of the international search report
22 March, 2005 (22.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017785

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-327599 A (Fujitsu Ltd.), 10 December, 1993 (10.12.93), Par. Nos. [0007] to [0019]; Figs. 7, 8 (Family: none)	1

BEST AVAILABLE COPY

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H04B1/16		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H04B1/16		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国登録実用新案公報 1994-2005年 日本国実用新案登録公報 1996-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-40997 A (ソニー株式会社) 2000.02.08 段落【0007】-【0015】, 図1-3 & EP 975099 A2 & KR 2000011811 A & US 6667965 B1	1-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 02.03.2005	国際調査報告の発送日 22.3.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 高木 進	5 J 8628
電話番号 03-3581-1101 内線 6442		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 9-116360 A (富士通株式会社) 1997. 05. 02 段落【0013】-【0015】，図6-12 (ファミリーなし)	1-10
A	JP 2002-185398 A (ソニー株式会社) 2002. 06. 28 段落【0029】-【0030】，図7 & WO 2002/051040 A1 & EP 1248388 A1 & US 2003/0031135 A1 & CN 1401164 A	1
A	JP 5-327599 A (富士通株式会社) 1993. 12. 10 段落【0007】-【0019】，図7，8 (ファミリーなし)	1